

**ИЗРАДА НАПРЕДНОГ *ETHERNET* АДАПТЕРА ЗА ВЕРИФИКАЦИЈУ И
ПРИКЉУЧЕЊЕ ЕЛЕКТРОНСКИХ СИСТЕМА НА *LAN* МРЕЖУ
HARDWARE DESIGN OF THE ADVANCED ETHERNET ADAPTER BOARD
FOR VERIFICATION AND CONNECTING ELECTRONIC SYSTEMS TO LAN**

Милош Окановић, Факултет техничких наука, Нови Сад

Област – ЕЛЕКТРОТЕХНИКА И РАЧУНАРСТВО

Кратак садржај – У овом завршном раду описан је комплетан поступак развоја једног хардверског производа од анализе или креирања спецификација и цртања електричне шеме до PCB дизајна и фабрикације. Такође, описана је технологија четворослојних штампаних плочица, њихова примјена и предности, као и примјена за израду овог производа.

Кључне речи: развој хардвера, PCB дизајн, Ethernet, контролисана импеданса, STM32, UART, SPI, I²C, SMBus, MDIO, четворослојне штампане плочице

Abstract – This paper describes the complete cycle of a hardware product development from analyzing or writing its specification and schematic capture to PCB design and manufacturing. Also, the paper describes the technology of fabricating 4-layer boards, what they're used for and their advantages, as well as their implementation in developing this device.

Keywords: hardware development, PCB design, Ethernet, controlled impedance, STM32, UART, SPI, I²C, SMBus, MDIO, 4-layer PCBs

1. УВОД

Развој хардверског производа је сложен процес који се одвија у неколико етапа. Свака етапа директно утиче на следећу. Прва етапа представља темељну анализу система чију функционалност производ треба да спроводи. Под овим се подразумева растављање система на подблокове, вршење неопходних прорачуна за сваки блок и одабир одговарајућих компоненти. Ова етапа је кључна, јер и најмања грешка резултује у нефункционалном производу, а ако се не открије одмах, представља огроман проблем за временске и новчане ресурсе. Следећа етапа подразумева превод подблокова у њихову електричну репрезентацију цртањем електричне шеме система. Након тога, ради се физички дизајн производа. На крају, генеришу се излазни фајлови за фабрикацију. Под хардверским производом се у овом случају мисли на штампању електронску плочицу (енг. Printed Circuit Board).

НАПОМЕНА:

Овај рад проистекао је из мастер рада чији ментор је био др Владимир Рајс, ванр. проф.

Данас постоји мноштво ECAD алата (енг. Electronic Computer Aided Design) који доста олакшавају овај процес и минимизирају грешке аутоматизујући многе кораке. Неки од најпопуларнијих алата су Altium Designer, OrCAD, KiCad и Eagle. У овом раду коришћен је KiCad 8.0 који је најпопуларнији бесплатни алат и типа је отвореног кода (енг. open source).

Хардверски производ у овом раду представља напредни Ethernet адаптер који омогућава другим микроконтролерски или микропроцесорски-базираним системима који немају Ethernet функционалност да се повежу на LAN мрежу ради верификације, конфигурисања, развоја апликација или неких других специфичних акција. Ово је омогућено преко неколико стандардних комуникационих протокола који се користе у микроконтролерским и ембедед (енг. embedded) системима. Стога, уређаји који посједују UART (енг. Universal Asynchronous Receiver/Transmitter) или SPI (енг. Serial Peripheral Interface) или I²C (енг. Inter-Integrated Circuit) су компатибилни за повезивање на систем. Повезивање са PC-ем се остварује преко 100BASE-TX протока, односно Fast Ethernet-а, а као Ethernet MAC (енг. Media Access Controller) се користи STMicroelectronics-ов STM32F107VCT6 микроконтролер из Connectivity Line серије. Као Ethernet физички слој, односно спрега између њих, користи се Microchip-ов LAN8720A PHY примопредајник (енг. transceiver).

Штампана плочица која репрезентује овај уређај дизајнирана је у четворослојној технологији. Четворослојне плочице, поред двослојних и вишеслојних, су најзустепљенији тип штампаних плочица, понајвише у потрошачкој електроници и нуде многобројне функционалности.

2. ЧЕТВОРОСЛОЈНЕ ШТАМПАНЕ ЕЛЕКТРОНСКЕ ПЛОЧИЦЕ

2.1. Структура

Као што се види на слици 1, четворослојне штампане плочице се састоје од четири бакарна слоја (енг. copper foil) међусобно одвојена слојевима од материјала са диелектричним својствима. Улога ових материјала је да изолују слојеве једне од других и заштите их од могућих кратких спојева што би плочицу учинило нефункционалном. Такође, улога им је и да, тако рећи, усундиче бакарне слојеве једне уз друге. Горњи и доњи бакарни слој се налазе споља. Затим, симетрично, испод и изнад налази се слој препрег

материјала на којег налијежу унутрашњи слојеви. Између унутрашњих слојева, у центру плочице, такође се налази изолациони материјал који представља језгро плочице (енг. *core*). Језгро је дебље од препрег слојева. Конекција међу бакарним слојевима се врши помоћу бушених рупица, виа (енг. *vias*). Вије су такође од бакра и углавном су пробушене кроз читаву плочицу (енг. *through hole vias*), а могу бити и укопане у унутрашњости (енг. *blind* или *buried vias*) и својствене су вишеслојним плочицама (више од четири слоја) које покривају много комплексне дизајне. Компоненте је могуће поставити и на горњу и на доњу страну плочице ако комплексност система то захтјева или ако је димензија плочице ограничавајући фактор. Независно од броја бакарних слојева, штампане плочице могу бити чврсте (енг. *rigid PCBs*) и флексибилне (енг. *flex PCBs*) структуре.



Слика 1. Интерна структура четворослојне штампане плочице

2.2. Употреба

Појавом и развојем нових и комплексних интерфејса који захтјевају већу фреквенцију и брзину протока сигнала дошло је до усложњавања штампаних плочица у смислу повећања слојева да би се могле испратити карактеристике тих интерфејса. Код четворослојних плочица, читави слојеви могу служити као извор напајања или маса (енг. *GND*), док су остали резервисани само за сигнале. Могуће су различите комбинације у зависности од циља и потреба. Значи, много је више могућности него са двослојним плочицама. Четворослојне плочице омогућавају краћу повратну путању сигнала (енг. *return path*) и краћу струјну петљу (енг. *current loop*) што је врло битно за веома брзе сигнале и интерфејсе са становишта интегритета сигнала. Такође, супериорније су са становишта електромагнетске интерференције и компатибилности (*EMI* и *EMC*), јер адекватном организацијом слојева се може редуковати емитовање или зрачење сметњи, али и повећати имуност на исте. Поред ових критичнијих ствари, још омогућавају гушћи распоред компоненти резултирајући у компактнијем дизајну. Нпр. *Ethernet*, у зависности од верзије и комплексности система, захтјева минимално четворослојну организацију.

2.1. Типични распореди слојева

Signal – Ground – Ground – Signal

Два интерна слоја масе се имплементирају да би подржала рутирање водова који преносе брзе дигиталне сигнале који се простиру и на горњем и на доњем слоју и захтјевају контролу импедансе. На тај начин оба сигнална слоја имају униформну референтну

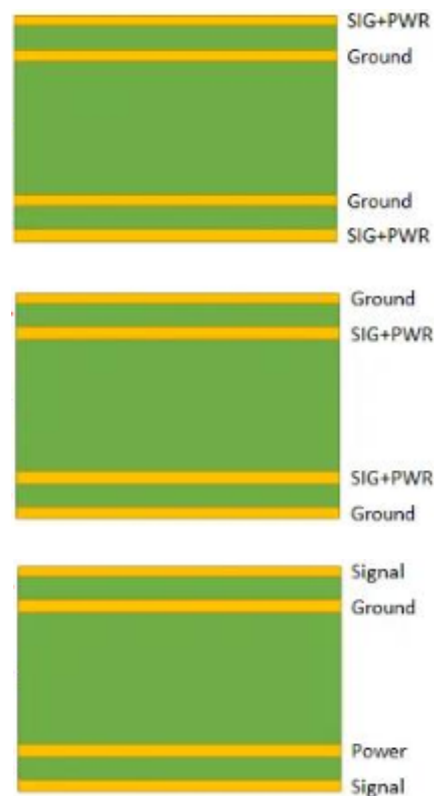
раван масе тик до њих. То је разлог зашто многе матичне плоче користе управо овај распоред. То што нема посебног слоја за напајање није проблем, јер напајање не захтјева увијек засебан слој. Напајање се може изрутирати на површинским слојевима такође као водови или као велики изливи бакра (енг. *copper pours*) који заправо представљају веома дебеле водове. Избор зависи од конкретних напонских и струјних потреба.

Ground – Signal – Signal – Ground

Овај распоред представља инверзију претходног са сигналним слојевима у унутрашњости. Овакав распоред није добра опција за рутирање брзих сигнала зато што је велика шанса за појавом преслушавања између сигнала унутрашњих слојева. Али, два вањска слоја представљају одличну заштиту од спољашњих сметњи. Сходно томе, овај распоред је добра опција за неке специјализоване нискошумне системе, као што су аналогни системи који захтјевају веома низак спољашњи шум за несметано функционисање.

Signal – Ground – Power – Signal

Трећи слој у оваквом распореду може представљати једну униформну равну одређеног напонског нивоа или више напонских нивоа расподјељених преко одвојених равни. Главни разлог коришћења оваквог распореда је лака доступност напајања за различите сигналне секције. Због читавог слоја резервисаног за напајање, доњи слој неће бити погодан за веома брзе сигнале због ставки изложених раније. Међутим, кроз је у реду искористити овај слој за рутирање споријих сигнала и осталих мање приоритетних секција које не морају бити на горњем слоју.



Слика 2. Типични распореди слојева за четворослојне плочице

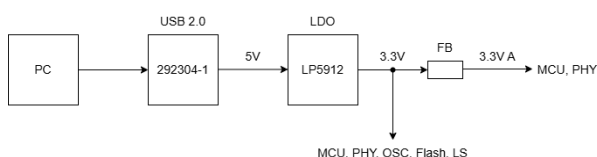
3. ОПИС УРЕЂАЈА

Напредни *Ethernet* адаптер се састоји из неколико секција. То су:

- Секција за напајање плочице и потребних модула
- Секција за *Ethernet*
- Секција за микроконтролер и периферије
- Секција за *UART* комуникацију
- Секција за *SPI* комуникацију
- Секција за *I²C* комуникацију
- Секција за *SMBus* комуникацију
- Секција за *MDIO* комуникацију

3.1. Секција за напајање

На слици 3 приказана је блок шема напајања уређаја.

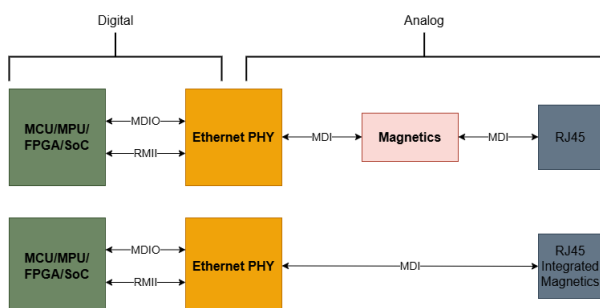


Слика 3. Блок шема напајања уређаја

Секција за напајање је задужена за генерисање локалног напајања за компоненте на плочици. Радни напон свих компоненти је 3.3V или је у опсегу којем тај ниво припада, тако да се врши генерисање само тог локалног напајања што чини систем једноставним са становишта броја компоненти и простора за ову секцију плочице. Плочица се напаја са рачунара преко *USB 2.0* протокола по чијим спецификацијама његов *VBUS* напон је 5V којег је потребно спустити на 3.3V. Ту функционалност обавља *LDO* регулатор напона. Спуштени напон обезбјеђује напајање за микроконтролер, примопредајник, осцилаторско коло, меморију и помјераче напона. Додатно се врши филтрација тог напона у циљу напајања осјетљивијих, аналогних, секција на микроконтролеру и примопредајнику.

3.2. Секција за *Ethernet*

На слици 4 је приказана блок шема за *Ethernet*



Слика 4. Блок шема *Ethernet* функционалности

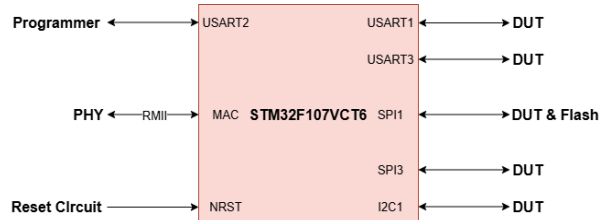
Приликом имплементације *Ethernet* функционалности на штампаној плочици неопходно је на одређен начин исповезивати блокове који су приказани на слици 3.4.1. Као што је раније речено, *Ethernet PHY* је уређај који предстаља *Ethernet* физички слој унутар *OSI* (енг. *Open Systems Interconnection*) модела и служи као спрега

између дигиталне и аналогне стране. *MAC* може бити интегрисан унутар микроконтролера, микропроцесора, *FPGA*-а (енг. *Field Programmable Gate Array*) или *SoC*-а (енг. *System on Chip*). Комуникација између њега и примопредајника се одвија преко *MII* (енг. *Medium Independent Interface*) интерфејса и *MDIO* (енг. *Management Data Input/Output*) комуникације. Ово представља дигитални дио. С друге стране, комуникација са *RJ45* конектором се одвија преко *MDI* (енг. *Medium Dependent Interface*) интерфејса. Ова комуникација је реализована преко диференцијалних парова чији број зависи од *Ethernet* типа. У овом случају то је *100BASE-TX* протокол који се преноси преко два диференцијална пара. Црвени блок на првом блоку дијаграму зове се *Ethernet Magnetics*. Магнетика је реализована преко трансформатора и улога јој је галванска изолација. Један трансформатор је за предајни пар, док је други за пријемни. Помоћу ње се остварује електрична изолација, већи фактор потискивања заједничког сигнала, изједначавање импедансе и бољи *EMC* учинак. Постоје два приступа дизајнирања са становишта магнетике. Један је коришћење магнетике у оквиру засебног интегрисаног кола и као таква дефинише се као дискретна. Представља компликованији приступ и уноси додатну компоненту у систем. Други је коришћење *RJ45* конектора са интегрисаном магнетиком унутар њега, тзв. *MagJack*, и тада се дефинише као интегрисана. Ово у многоме поједностављује дизајн и одлично је рјешење ако је плочица просторно ограничена. Систем описан у овом раду је реализован са интегрисаном магнетиком.

У овом раду *MAC* је обезбјеђен од стране *STM32F107VCT6* микроконтролера. *Ethernet PHY* примопредајник је *LAN8720*. *RJ45* конектор је *RJMG1BD3B8K1ANR* са интегрисаном магнетиком. Конектор посједује зелену и жуту *LED* за индикацију брзине и активности комуникације.

3.3. Секција за микроконтролер и комуникационе интерфејсе

На слици 5 је приказана блок шема микроконтролера са комуникационим интерфејсима које уређај користи.



Слика 5. Микроконтролер и комуникациони интерфејси

Комуникациони интерфејси су доступни преко стандардног конектора за штампане плочице са размаком ножица од 2.54 милиметра. Сваки комуникациони интерфејс обезбјеђује два канала за комуникацију.

4. ФИЗИЧКИ ДИЗАЈН ETHERNET АДАПТЕРА

Распоред слојева за ову плочицу је **Signal – Ground – Power – Signal**. Разлог зашто је одабран овај распоред, а не **Signal – Ground – Ground – Signal**, је тај што систем није толико компликован да захтјева рутирање брзих и критичних сигнала на обе стране плочице. На овај начин трећи слој је искоришћен за дистрибуцију напајања које је онда лако доступно за све компоненте, а и горњи слој се не компликује рутирањем напајања. *RMI* сигнали се третирају као најкритичнији и испоштовано је да имају референтни слој масе на другом слоју.

На слици 6 је приказана конструкција штампане плочице овог уређаја. Дебљина плочице је 1.6 милиметара.

Layer	Material Type	Thickness	
Layer	Copper	0.035mm	
Prepreg	3313*1	0.0994mm	
Inner Layer	Copper	0.0152mm	
Core	Copper	1.265mm	1.3mm (with copper core)
Inner Layer	Copper	0.0152mm	
Prepreg	3313*1	0.0994mm	
Layer	Copper	0.035mm	

Слика 6. Распоред и дебљина слојева

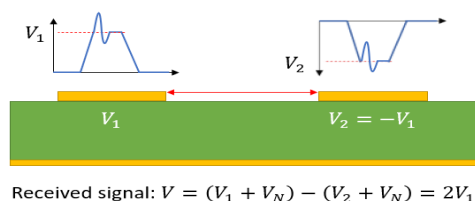
4.1. Контролисана импеданса

Интерфејс између микроконтролера и приморедајника се реализује са водовима чија импеданса треба да буде 50Ω. То се постиже контролом импедансе.

Контролисана импеданса је карактеристична импеданса трансмисионих линија на штампаној плочици и врло је важна за пропагацију високо-фреквентних сигнала. Униформна контрола импедансе директно утиче на интегритет сигнала осигуравајући глатак пренос сигнала са извора до одредишта без значајне дисторзије. Пропагацијом сигнала кроз водове преноси се енергија са драјвера сигнала до пријемника. Да би се енергија квалитетно преносила потребно је остварити одређен однос између својстава супстратних материјала и димензија водова да би се добила специфична вриједност или опсег импедансе. На контролу импедансе утиче директно ширина самог вода и својства материјала штампане плочице.

4.2. Диференцијални пар

Интерфејс између примопредајника и *RJ45* конектора се реализује преко два диференцијална пара карактеристичне импедансе 100Ω.



Слика 7. Диференцијални пар на штампаној плочици

У Диференцијални пар се састоји од два вода која преносе сигнал исте амплитуде али обрнутог поларитета изнад униформне масе као референтног слоја. Главно својство диференцијалног пара је елиминација заједничког шума од стране пријемника.

То је зато што оба вода диференцијалног пара накупе једнаку амплитуду шума различитог поларитета. Ово својство чини диференцијални пар имунијим на сметње које уноси шум у односу на једнострану (енг. *single-ended*) вод. Самим тим интегритет сигнала је бољи па је диференцијални пар сада стандардна употреба у брзим комуникационим интерфејсима, па и *Ethernet*-у.

5. ЗАКЉУЧАК

Напредни *Ethernet* адаптер представља компактан и функционалан уређај погодан за развој разних *embedded* апликација. Због разних интерфејса који га окружују, могуће је повезати већи број различитих уређаја на мрежу ради креирања комплекснијих апликација са већим бројем улазних и излазних параметара. Комбинација уређаја је велика. Једна од могућих примјена би била комуникација са различитим сензорима или штампаним плочицама са колима за обраду сигнала са сензора, те њиховим слањем преко мреже на неку рачунарску платформу или сервер. Уређај би могао и да се инсталира у неко кућиште и тако интегрише у неки *black box* уређај или да буде самосталан у њему.

6. ЛИТЕРАТУРА

- [1] STM32F107VCT6 Datasheet [[Connectivity line, ARM®-based 32-bit MCU with 64/256 KB Flash, USB OTG, Ethernet, 10 timers, 2 CANs, 2 ADCs, 14 communication interfaces \(st.com\)](#)]
- [2] AN2586 Application Note [[Getting started with STM32F10xxx hardware development - undefined](#)]
- [3] LAN8720A/LAN8720Ai Datasheet [[LAN8720A/LAN8720Ai Datasheet \(microchip.com\)](#)]
- [4] AN1120 [[Ethernet Theory of Operation \(microchip.com\)](#)]
- [5] Layout Considerations for Pulse Ethernet Magnetics and Ethernet Connector Modules [[Pulse Layout-Considerations-v7.pdf \(pulseelectronics.com\)](#)]
- [6] Technical Note TN266 [[022-0137_F.fm \(digi.com\)](#)]

Кратка биографија:

Милош Окановић рођен је 1998. године у Суботици. Завршио је Гимназију "Свети Сава" у Приједору 2017. године. Факултет техничких наука у Новом Саду уписао је 2017. године. Дипломски рад под називом *Електронски систем за бeжичну контролу освјетљености и температуре боје LED сијалице* одбранио је 2022. године.

UDK: 621.38

DOI: <https://doi.org/10.24867/32BE5Okanovic>